

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001156073 A**

(43) Date of publication of application: **08.06.01**

(51) Int. Cl

H01L 21/3205

H01L 21/3065

H01L 21/304

H01L 21/306

(21) Application number: **2000234284**

(22) Date of filing: **02.08.00**

(30) Priority: **15.11.99 US 1999 439361**

(71) Applicant: **CHARTERED SEMICONDUCTOR
MFG LTD**

(72) Inventor: **GUPTA SUBHASH
HO KWOK KEUNG PAUL
ZHOU MEI SHENG
CHOOL SIMON**

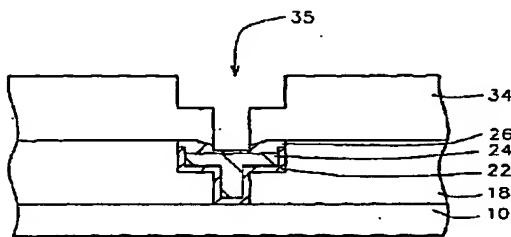
**(54) METHOD FOR PREVENTING COPPER
CONTAMINATION ON SIDE WALL OF VIA OR
DUAL DAMASCENE STRUCTURE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for avoiding contamination in copper metallization upon manufacturing an integrated circuit.

SOLUTION: Copper contamination on an inter-metal dielectric layer in via or dual damascene etching is prevented by forming a lid layer on the first copper metallization. The first copper metallization is formed in the dielectric layer on a semiconductor substrate, where a barrier metallic layer is formed under the first copper metallization and above the dielectric layer. The first copper metallization is flattened and then etched to form a recess below the surface of the dielectric layer. A conductive lid layer is deposited on the first metallization within the recess or on the dielectric layer. The conductive lid layer is removed by using one of several methods to remove the upper part of the first copper metallization within the recess.



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-156073

(P2001-156073A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.
H01L 21/3205
21/3065
21/304
21/306

識別記号
21/3065
622
21/306

F I
H01L 21/304
21/88
21/302
21/306

622
X 5F004
R 5F033
L 5F043
M
F

マーク (参考)

審査請求 未請求 請求項の数28 O L (全8頁) 最終頁に続く

(21)出願番号 特願2000-234284(P2000-234284)
(22)出願日 平成12年8月2日(2000.8.2)
(31)優先権主張番号 09/439361
(32)優先日 平成11年11月15日(1999.11.15)
(33)優先権主張国 米国(US)

(71)出願人 599093591
チャータード・セミコンダクター・マニュ
ファクチャリング・リミテッド
シンガポール国 738406, ストリート 2
, ウッドランズ・インダストリアル・パー
ク 60
(72)発明者 サブハッシュ・ギュータ
シンガポール国 259805 バルモラル・ロ
ード 21, ナンバー 05-04
(74)代理人 100089705
弁理士 社本 一夫 (外5名)

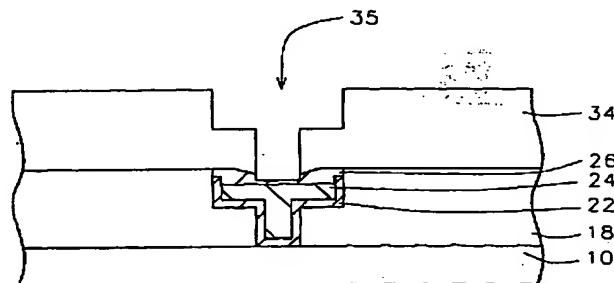
最終頁に続く

(54)【発明の名称】ピア又はデュアルダマシン構造の側壁の銅汚染を防止する方法

(57)【要約】

【課題】 集積回路の製造の際の銅メタライゼーションにおける汚染を回避する方法を提供する。

【解決手段】 最初の銅メタライゼーション上に蓋層を形成することによって、ピア又はデュアルダマシンエッチングにおけるインターメタル誘電体層の銅汚染が防止される。最初の銅メタライゼーションを半導体基板上の誘電体層中に形成し、ここで、バリヤー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成される。上記最初の銅メタライゼーションを平坦化し、次いでエッチングして、上記誘電体層の表面より下方に凹部を形成する。導電蓋層を上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、堆積する。上記導電蓋層を幾つかの方法の1つを用いて上記凹部内の上記最初の銅メタライゼーションの上方を除いて除去する。



【特許請求の範囲】

【請求項1】 集積回路の製造におけるピア又はデュアルダマシンエッティングによるインターメタル誘電体層の銅汚染を防止する方法であって：半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリヤー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され；上記最初の銅メタライゼーションを平坦化し；上記最初の銅メタライゼーションをエッティングして、上記誘電体層の表面より下方に凹部を形成し；上記誘電体層上の上記バリヤー金属層を除去し；上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電蓋層を堆積し；上記導電蓋層上にスピニン-オン物質を被覆し；上記誘電体層の上方の上記スピニン-オン物質及び上記導電蓋層をエッチバックし；その後、上記スピニン-オン物質の全てを除去して、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電蓋層を残留させ；上記誘電体層上に、そして上記最初の銅メタライゼーション上の上記導電蓋層上に、上記インターメタル誘電体層を堆積し；上記インターメタル誘電体層を通じて上記導電蓋層にまで上記ピア又はデュアルダマシン開口をエッティングし、ここで、上記導電蓋層が上記エッティングの間に上記インターメタル誘電体層の銅汚染を防止し；そして上記ピア又はデュアルダマシン開口を金属層で充填して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項2】 上記バリヤー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タンクス滕、及びタンクス滕化合物を含む群の1つを含む請求項1の方法。

【請求項3】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッキング(CMP)を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリヤー金属層がCMP阻止層として使用される請求項1の方法。

【請求項4】 上記凹部はウエットエッティング法により形成される請求項1の方法。

【請求項5】 上記ウエットエッティング法は $\text{CH}_3\text{COOH}/\text{NH}_3\text{F}$ 又は DMSO/CCl_4 の化学作用を含む請求項1の方法。

【請求項6】 上記バリヤー金属層を除去する工程は C_1F_4 又は F_2 のプラズマを使用して上記バリヤー金属層を選択的にエッティングすることを含む請求項1の方法。

【請求項7】 上記導電蓋層はタンタル、タンタル化合物、チタン、チタン化合物、タンクス滕、及びタンクス滕化合物を含む群の1つを含む請求項1の方法。

【請求項8】 上記スピニン-オン物質及び上記誘電体層の上方の上記導電蓋層をエッチバックする工程は C_1F_4 又は F_2 のプラズマエッチを含む請求項1の方法。

【請求項9】 上記スピニン-オン物質を除去する工程は

O₂、プラズマ中の剥離又はガスプラズマを形成することを含む請求項1の方法。

【請求項10】 上記バリヤー金属層を除去する工程は上記導電蓋層を堆積する工程の前に実施される請求項1の方法。

【請求項11】 集積回路の製造におけるピア又はデュアルダマシンエッティングによるインターメタル誘電体層の銅汚染を防止する方法であって：半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリヤー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され；上記最初の銅メタライゼーションを平坦化し；上記最初の銅メタライゼーションをエッティングして、上記誘電体層の表面より下方に凹部を形成し；上記誘電体層上の上記バリヤー金属層を除去し；上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電蓋層を堆積し；上記導電蓋層上にマスクを形成し、そして上記マスクで被覆されていない部分の上記導電蓋層をエッティング除去して、上記凹部内の上記最初の銅メタライゼーションの上にのみ上記導電蓋層を残留させ；その後、上記マスクを除去し；上記誘電体層上に、そして上記最初の銅メタライゼーション上の上記導電蓋層上に、上記インターメタル誘電体層を堆積し；上記インターメタル誘電体層を通じて上記導電蓋層にまで上記ピア又はデュアルダマシン開口をエッティングし、ここで、上記導電蓋層が上記エッティングの間に上記インターメタル誘電体層の銅汚染を防止し；そして上記ピア又はデュアルダマシン開口を金属層で充填して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項12】 上記バリヤー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タンクス滕、及びタンクス滕化合物を含む群の1つを含む請求項11の方法。

【請求項13】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッキング(CMP)を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリヤー金属層がCMP阻止層として使用される請求項11の方法。

【請求項14】 上記凹部はウエットエッティング法により形成される請求項11の方法。

【請求項15】 上記ウエットエッティング法は $\text{CH}_3\text{COOH}/\text{NH}_3\text{F}$ 又は DMSO/CCl_4 の化学作用を含む請求項14の方法。

【請求項16】 上記バリヤー金属層を除去する工程は C_1F_4 又は F_2 のプラズマを使用して上記バリヤー金属層を選択的にエッティングすることを含む請求項11の方法。

【請求項17】 上記導電蓋層はタンタル、タンタル化合物、チタン、チタン化合物、タンクス滕、及びタンクス滕化合物を含む群の1つを含む請求項11の方法

法。

【請求項 18】 上記マスクを形成する工程は上記最初の銅メタライゼーション領域を形成するのに使用された逆マスクを用いることを含む請求項 11 の方法。

【請求項 19】 上記マスクを形成する工程は上記最初の銅メタライゼーション領域を形成するのに使用されたマスク及び逆色調レジストを用いることを含む請求項 11 の方法。

【請求項 20】 上記導電蓋層をエッティング除去する工程は C 1 又は F のプラズマエッティングを含む請求項 11 の方法。

【請求項 21】 上記バリヤー金属層を除去する工程は上記導電蓋層を堆積する工程の前に実施される請求項 11 の方法。

【請求項 22】 集積回路の製造におけるビア又はデュアルダマシンエッティングによるインターメタル誘電体層の銅汚染を防止する方法であって：半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリヤー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され；上記最初の銅メタライゼーションをエッティングして、上記誘電体層の表面より下方に凹部を形成し；上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電蓋層を堆積し；上記導電蓋層を部分的に研磨除去し、ここで、上記最初の銅メタライゼーション上の上記導電蓋層は上記誘電体層上の上記導電蓋層よりも厚く；その後、上記導電蓋層と上記誘電体層上の上記バリヤー金属層とをエッチバックして、上記凹部内の上記第 1 銅メタライゼーションの上方のみに上記導電蓋層を残留させ；上記誘電体層上に、そして上記最初の銅メタライゼーション上の上記導電蓋層上に、上記インターメタル誘電体層を堆積し；上記インターメタル誘電体層を通じて上記導電蓋層にまで上記ビア又はデュアルダマシン開口をエッティングし、ここで、上記導電蓋層が上記エッティングの間に上記インターメタル誘電体層の銅汚染を防止し；そして上記ビア又はデュアルダマシン開口を金属層で充填して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項 23】 上記バリヤー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タンクスチル、及びタンクスチル化合物を含む群の1つを含む請求項 22 の方法。

【請求項 24】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッシング (CMP) を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリヤー金属層が CMP 阻止層として使用される請求項 22 の方法。

【請求項 25】 上記凹部はウエットエッティング法により形成される請求項 22 の方法。

【請求項 26】 上記ウエットエッティング法は C H, C O O H / N H, F 又は D M S O / C C l, の化学作用を含む請求項 24 の方法。

【請求項 27】 上記導電蓋層はタンタル、タンタル化合物、チタン、チタン化合物、タンクスチル、及びタンクスチル化合物を含む群の1つを含む請求項 22 の方法。

【請求項 28】 上記導電蓋層及び上記バリヤー金属層をエッティング除去する工程は C 1 又は F のプラズマエッティングを含む請求項 22 の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路の製造におけるメタライゼーション (metallization) の方法、特に集積回路の製造の際の、銅メタライゼーションにおける汚染を回避する方法に関する。

【0002】

【従来の技術】 銅のメタライゼーションは集積回路の製造における大勢になっている。しかし、インターメタル誘電体層 (intermetal dielectric layer) の銅汚染は問題である。例えば、図 1 に示すように最初の銅メタライゼーション 23 は誘電体層 18 中に形成される。インターメタル誘電体層 25 は上記最初の銅メタライゼーション 23 上に形成される。ビア (via) 27 又はデュアルダマシン (damascene) 開口が上記インターメタル誘電体層 25 を貫通して下側の最初の銅メタライゼーション 23 まで形成された場合、上記下側の銅の一部が飛散し、そして上記ビア 27 又はデュアルダマシン開口の側壁に再堆積 29 するであろう。これは上記インターメタル誘電体層の汚染を生じるであろう。またこれは回線間を短絡させ、そして装置の性能を劣化させるであろう。従って、上記インターメタル誘電体層の銅汚染を防止することが求められる。

【0003】 Krishnan 等の米国特許 5,451,551 は銅上にチタンタンクスチルの蓋を形成し、次いで過剰の蓋層を研磨して除去する方法を開示する。三沢の米国特許 5,470,789 はバフ研磨される窒化チタン層を示す。これら 2 つの特許は本発明に類似した蓋層を教示する。しかし、開口領域と銅凹部との間の段差が大きくないため、上記開口領域と上記凹部領域との間の CMP (即ち、バフ研磨) 除去の選択性も小さいであろう。溝間の導電蓋層を除去するのに過剰な研磨が必要であるため、溝上の導電蓋物質の全てが過剰研磨を通じて除去される可能性が高い。Teong の米国特許 5,693,563 は銅のためのバリヤー層を示すが、銅メタライゼーションに凹みは形成されない。Chan 等の米国特許 5,744,376 は凹部のない銅メタライゼーション上の蓋層を開示する。Joshi 等の米国特許 5,731,245 はタンクスチルプラグ法 (tungsten plug process) のための堅い蓋を開示する。Venkatraman 等の米国特許 5,814,557 は凹部のない銅層上に蓋層を形成する。

【0004】

【発明が解決しようとする課題】本発明の主な目的は集積回路の製造において、銅メタライゼーションの効果的に製造可能な方法を提供することである。

【0005】本発明の別の目的はデュアルダマシン銅メタライゼーション法を提供することである。本発明の更に別の目的はエッティングにおけるインターメタル誘電体層の銅汚染を防止することである。

【0006】本発明の更に別の目的はピア又はデュアルダマシンエッティングにおけるインターメタル誘電体層の銅汚染を防止することである。本発明の更に別の目的はピア又はデュアルダマシンエッティングにおけるインターメタル誘電体層の銅汚染を最初の銅メタライゼーション上に蓋層を形成することにより防止することである。

【0007】

【課題を解決するための手段】本発明の上記目的に基づいて、最初の銅メタライゼーション上に蓋層を形成することによって、ピア又はデュアルダマシンエッティングにおけるインターメタル誘電体層の銅汚染を防止する新規な方法が達成される。最初の銅メタライゼーションを半導体基板上の誘電体層中に形成し、ここで、バリヤー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成される。上記最初の銅メタライゼーションを平坦化し、次いでエッティングして、上記誘電体層の表面より下方に凹部を形成する。導電蓋層を上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、堆積する。上記導電蓋層を幾つかの方法の1つを用いて上記凹部内の上記最初の銅メタライゼーションの上方を除いて除去する。

【0008】1つの方法では、スピンドルオン物質を上記導電蓋層に被覆する。上記誘電体層の上方の上記スピンドルオン物質及び上記導電蓋層をエッチャックし、次いで上記スピンドルオン物質を除去して、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電蓋層を残留させる。別の方法では、最初の銅メタライゼーション領域を形成するのに使用された逆マスクを使用し、又は最初の銅メタライゼーション領域を形成するのに使用されたマスク及び逆色調レジスト(reverse tone resist)を使用して、最初の銅メタライゼーション領域の上にマスクを形成する。上記マスクで被覆されていない部分の上記導電蓋層をエッティング除去して、上記凹部内の上記最初の銅メタライゼーションの上にのみ上記導電蓋層を残留させる。第3の方法では、上記最初の銅メタライゼーション上の上記導電蓋層が上記誘電体層上の上記導電蓋層よりも厚くなるように、上記導電蓋層を部分的に研磨除去する。次いで、上記導電蓋層と上記誘電体層上のバリヤー金属層とをエッチャックして、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電蓋層を残留させる。

【0009】インターメタル誘電体層を上記誘電体層上

に、そして上記最初の銅メタライゼーション上の上記導電蓋層に、堆積する。ピア又はデュアルダマシン開口を上記インターメタル誘電体層を通じて上記導電蓋層にまでエッティングし、ここで、上記導電蓋層が上記エッティングの間に上記インターメタル誘電体層の銅汚染を防止する。上記ピア又はデュアルダマシン開口を金属層で充填して上記集積回路の製造における電気接続を完成する。

【0010】本発明はメタライゼーションを通じて、ピア又はデュアルダマシンエッティングにより、下方の銅相互接続層からの銅によるインターメタル誘電体層の汚染を防止する方法を提供する。

【0011】特に、図2を参照すると、部分的に仕上げられた集積回路の一部が示される。好ましくは単結晶シリコンから構成される半導体基板10が示される。インターメタル誘電体(ILD)又はインターレベル(inter level)誘電体(ILD)の層18を上記基板ウエハ上に堆積する。図示しない、ゲート電極、ソース及びドレイン領域、又は金属配線のような半導体構成物が半導体基板の中及び上に形成され、そしてILD又はILDの層18によって被覆されてもよい。

【0012】次に、デュアルダマシン開口21をILD又はILDの層18中にバターニングにより形成する。このバターニングは従来の方法で実施可能であり、これによりピア、溝(trench)、又は埋め込みピア(embedded via)が形成される。

【0013】図3を参照すると、バリヤー金属層22をILD又はILDの層18の上に、そして開口21の中に堆積する。このバリヤー金属層は、例えば、タンタル又はタンタル化合物、チタン又はチタン化合物、又はタンクステン又はタンクステン化合物を含んでもよく、そして約50~2000オングストロームの厚さを有してもよい。

【0014】銅層24を、図4に示すように、物理的又は化学的蒸着、電気化学メッキ(PEC)、又は無電解メッキ、等を含む従来の手段により上記バリヤー金属層22上に形成する。

【0015】上記ILD又はILD層上の過剰の銅層を、図5に示すように、化学的機械的ポリッキング(CMP)により研磨除去する。バリヤー金属層22は上記CMPプロセス用の研磨阻止層として使用できる。或いは、上記バルク銅フィルムの表面が平坦化され、そして銅の薄い均一な層のみが上記ウエハ表面に残留するまで、上記銅フィルムを部分的にCMPにより除去する。

【0016】図6を参照すると、上記溝内の銅層24を湿潤化学作用により、例えば、従来の $\text{CH}_3\text{COOH}/\text{NH}_3\text{F}$ 又は CCl_4/DMSO の化学作用、又は他の化学作用により、部分的に剥離して、凹部Aを形成する。この凹部は深さが約2000~20000オングストロームの二重ダマッセン開口に対して約100~200

00 オンストロームの深さを有することができる。

【0017】後のメタライゼーションの段階を通じて上記 IMD 層の銅汚染を防止するために、上記最初の銅メタライゼーション上に蓋層を形成する必要がある。この蓋層を形成するための本発明の 3 種類の好ましい態様を述べる。溝と溝との間の蓋層を除去する方法は、従来技術の方法と異なり、溝の上の蓋層が除去されないような高い選択性を有する。第 1 の態様は図 7～10 に基づいて記述されるであろう。第 2 の態様は図 7、8、11 及び 12 に基づいて記述されるであろう。第 3 の態様は図 13～15 に基づいて記述されるであろう。

【0018】特に、図 7～10 図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第 1 の態様を記述する。図 7 に示すように、IMD 又は ILD 層 18 の表面からバリヤー金属層 22 を除去するために、このバリヤー金属層のプランケットプラズマエッチバック (blanket plasma etch back) を実施する。例えば、このエッチバックは上記バリヤー金属層を選択的にエッチするために塩素又はフッ素プラズマを使用できる。この時点で上記過剰なバリヤー金属層を除去すると、以後の工程を通じて隅の突出部 (corner protrusion) を減少できる。

【0019】洗浄後に、導電蓋層を IMD 又は ILD 層 18 および上記溝内に凹んだ銅層 24 の上に堆積する。

この蓋層 26 は後の反応性イオンエッチング (RIE) を通じて下側の銅層 24 から銅が上記 IMD 層上にスパッターされるのを防止するであろう。この蓋層 26 に対しては数多くの要求がある。上に位置する IMD 層のエッチングを通じて形成されるエッチング副生物を従来の洗浄方法で容易に除去できることが求められる。この蓋層 26 は上記銅溝のための頂部の拡散／酸化の遮断層として作用するために、バリヤー金属 22 の性質を有するべきである。蓋層の厚さは下側の銅層 24 をえぐることなく、上記ピアを覆うのに十分な厚さを持つ必要がある。タンタル又はタンタル化合物、チタン又はチタン化合物、又はタンクスチタン又はタンクスチタン化合物及びその他の物質が蓋層 26 用に使用できる。その厚さは好ましくは約 100～4000 オンストロームである。

【0020】上記導電蓋層をこれが上記溝内の銅層 24 を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って実施される。スピン-オン物質 (spin-on material) 28 を、図 9 に示すように、導電バリヤー層 26 上に約 100～4000 オンストロームの厚さに被覆する。このスピン-オン物質は遮蔽及び反射防止被覆 (BARC)、又は上記凹部を充填して平坦化層を形成することができ、そして次のプラズマエッチングを通じて上記溝上の導電蓋層を保護できるようなレジスト又はその他の適切な物質を含むことができる。

【0021】次に、図 10 に示すように、プランケット

10

エッチバック (blanket etch back) 及び上記蓋層と上記スピン-オン物質の剥離を実施する。上記フィールド領域上に位置する上記導電蓋層及び上記スピン-オン物質を塩素又はフッ素のプラズマによりエッティング除去して、上記溝上に厚いスピン-オン物質と導電蓋層を残留させる。上記凹部 A を形成する目的は、図 6 に示すように、明らかである。導電蓋物質 26 が上記溝上に十分に残留できるように、上記プランケットエッチバックを通じて十分なマージン (margin) が与えられるべきである。

10 10 エッチバックの後に、スピン-オン物質 28 の残部を O₂ プラズマにより又はガスプラズマを形成することにより剥離できる。

【0022】特に、図 7、8、11、及び 12 図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第 2 の態様を記述する。上述並びに図 7 に示すように、IMD 又は ILD 層 18 の表面からバリヤー金属層 22 を除去するために、このバリヤー金属層のプランケットプラズマエッチバックを実施する。

【0023】洗浄後に、上述並びに図 8 に示すように、上記導電蓋層を IMD 又は ILD 層 18 および上記溝内に凹んだ銅層 24 の上に堆積する。上記導電蓋層をこれが上記溝内の銅層 24 を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って実施される。

【0024】図 11 を参照すると、フォトレジスト層を上記基板上に被覆し、そして逆マスクを使用し、又は逆色調レジスト (reverse tone resist) を使用して、パターン化してフォトマスク 30 を形成する。上記凹部 A を形成する目的は、図 6 に示すように、明らかである。上記マスクのミスマッチ (misalignment) がある場合であっても、図 10 に示すように、エッチバックの後に、上記溝上に十分な導電蓋物質が存在するように、上記マスクの重ね合わせを通じて十分なマージンが与えられるべきである。

【0025】図 11 に示すように、C1 又は F のプラズマを使用して、マスク 30 で被覆されていない導電蓋層 26 の部分がエッチング除去される。エッチング後に、残留レジストを O₂ プラズマにより又はガスプラズマを形成することにより剥離できる。

【0026】特に、図 13～15 図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第 3 の態様を記述する。凹部 A を図 6 のように形成した後に、導電蓋層 26 を、上述のように、又図 13 に示すように、IMD 又は ILD 層 12 および上記溝内に凹んだ銅層 24 の上に堆積する。

【0027】上記導電蓋物質をこれが上記溝内の銅層 24 を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って達成される。図 14 に示すように、導電蓋層 26 の部分 CMP 実施する。上記溝上の導電蓋物質が上記フィールド領域内より

50

もより厚くなるように、上記導電蓋層を部分的に除去する。これは導電蓋層 26 の厚さ及び上記 CMP 速度に依存するタイムモード(time mode) CMP 法である。

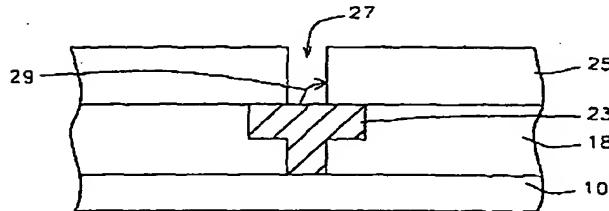
【0028】C1 又は F のプラズマを用いて、上記導電蓋層のブランケットプラズマエッチバックを実施する。上記フィールド領域上の上記導電蓋層を上記フィールド領域上のバリヤー金属層 22 と共にエッチング除去する。この工程は CMP 過剰 - 研磨法(over-polish process)に類似している。図 15 に示すように、導電蓋層 26 は上記溝上にのみ残留する。

【0029】導電蓋層 26 が上述の 3 種類の好ましい態様の 1 つに従って上記最初の銅メタライゼーション上に形成された後に、図 16 に示すように、別のインターメタル誘電体 (IMD) 層 34 が上記最初の銅メタライゼーション上に堆積する。ピア又はデュアルダマシン開口 35 を上記 IMD 層 34 を通って上記第 1 メタライゼーションまで形成する。導電蓋層 26 が上記開口 35 に接觸するであろう。導電蓋層 26 は銅が上記溝 24 から開口 35 の側壁にスパッタリングするのを防止し、従って、上記 IMD 層 34 の汚染を防止する。導電蓋層 26 は導電層であるため、電気接続を得るために下側の銅を露出させる必要はない。

【0030】図 17 に示すように、バリヤー層 36 及び銅層 38 を堆積させて第 2 水準のメタライゼーションを完成する工程が継続する。図示しない、更なる水準のメタライゼーションが形成される場合には、銅層 38 上に導電蓋層 40 を形成する本発明の方法を使用すべきである。パッシベーション層 44 により集積回路が完成する。本発明の方法はピア又はデュアルダマシンエッチングを通じて下側の銅層によるインターメタル誘電体層の汚染を防止する方法を提供する。本発明の導電蓋層を完成させるための 3 種類の好ましい態様を記述した。

【0031】本発明を特に好ましい態様を参照して説明

【図 1】



したが、種々の変更が本発明の精神と範囲を逸脱することなく実行できることは当業者に理解できるであろう。

【図面の簡単な説明】

【図 1】従来技術の方法における銅汚染を概略的に示す断面図である。

【図 2】本発明の方法を概略的に示す断面図である。

【図 3】本発明の方法を概略的に示す断面図である。

【図 4】本発明の方法を概略的に示す断面図である。

【図 5】本発明の方法を概略的に示す断面図である。

【図 6】本発明の方法を概略的に示す断面図である。

【図 7】本発明の第 1 および第 2 の好ましい態様を概略的に示す断面図である。

【図 8】本発明の第 1 および第 2 の好ましい態様を概略的に示す断面図である。

【図 9】本発明の第 1 の好ましい態様を概略的に示す断面図である。

【図 10】本発明の第 1 の好ましい態様を概略的に示す断面図である。

【図 11】本発明の第 2 の好ましい態様を概略的に示す断面図である。

【図 12】本発明の第 2 の好ましい態様を概略的に示す断面図である。

【図 13】本発明の第 3 の好ましい態様を概略的に示す断面図である。

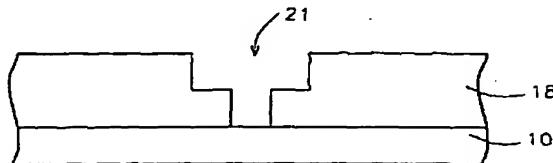
【図 14】本発明の第 3 の好ましい態様を概略的に示す断面図である。

【図 15】本発明の第 3 の好ましい態様を概略的に示す断面図である。

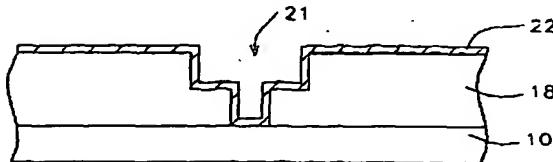
【図 16】本発明のメタライゼーションプロセスの完成を概略的に示す断面図である。

【図 17】本発明のメタライゼーションプロセスの完成を概略的に示す断面図である。

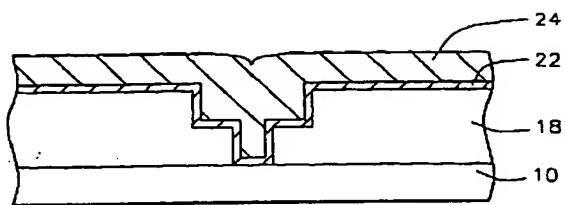
【図 2】



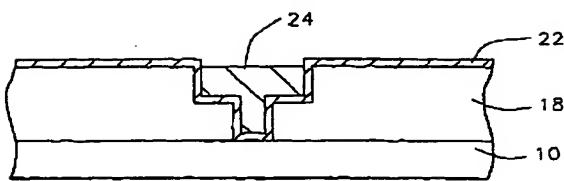
【図 3】



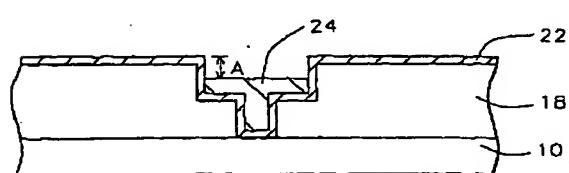
【図4】



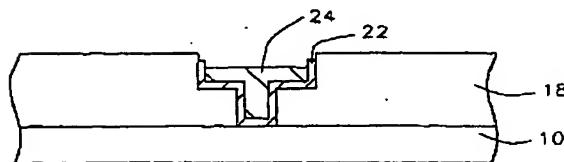
【図5】



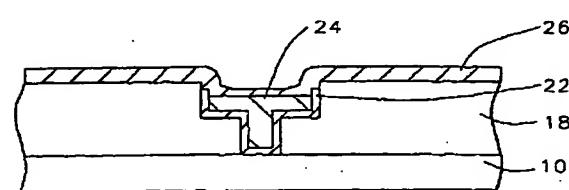
【図6】



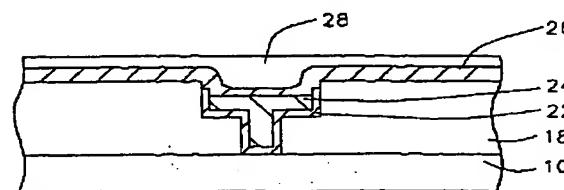
【図7】



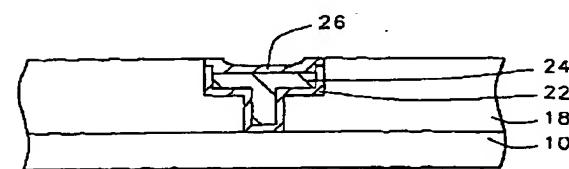
【図8】



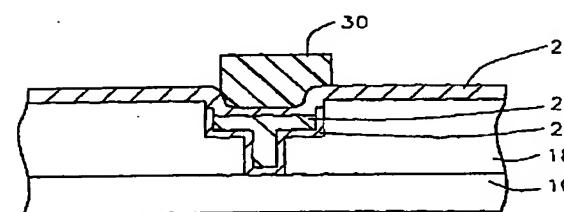
【図9】



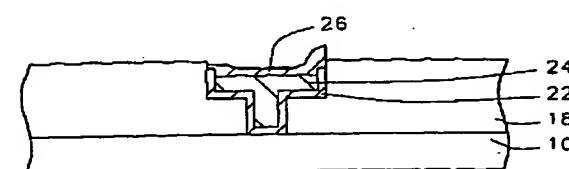
【図10】



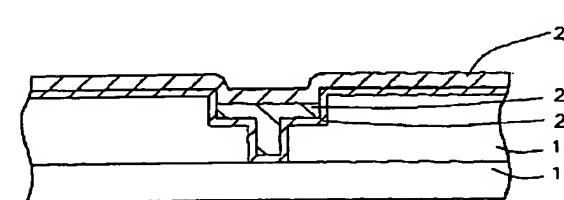
【図11】



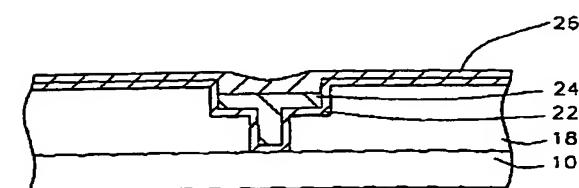
【図12】



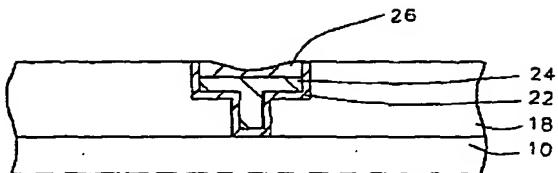
【図13】



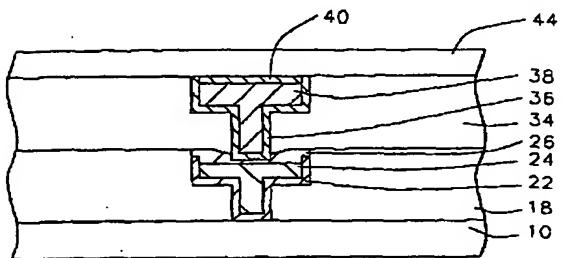
【図14】



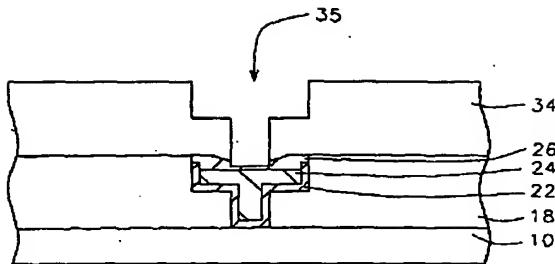
【図15】



【図17】



【図16】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テ-7コ-ド (参考)

21/88

K

(72)発明者 ウォク・キュン・ポール・ホ
シンガポール国 570217 ビシャン・スト
リート 23, ピーエルケイ 217, ナンバ
ー 16-315

(72)発明者 メイ・シェン・チョウ
シンガポール国 129791 ケント・ウェイ
ル, ブロック イー, クレメンティ・ロー
ド 109, ナンバー 08-03

(72)発明者 サイモン・チョーイ
シンガポール国 227596 ロータス・アベ
ニュー 6

F ターム(参考) 5F004 AA11 DA00 DA01 DA02 DA03
DA04 DA05 DA06 DA07 DA08
DA09 DA11 DA12 DA13 DA14
DA15 DA16 DA17 DA18 DA19
DA20 DA26 DA29 DB08 DB10
DB12 DB17 DB26 DB27 EA27
5F033 HH11 HH18 HH19 HH21 HH31
JJ11 JJ18 JJ19 JJ21 JJ31
KK01 KK03 KK07 KK11 KK18
KK19 KK21 KK31 MM02 MM05
MM11 MM12 MM13 NN06 NN07
PP06 PP19 PP27 PP28 QQ08
QQ12 QQ15 QQ19 QQ20 QQ24
QQ31 QQ37 QQ48 QQ49 QQ96
XX28
5F043 AA26 BB18 DD16 GG03